

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-028741

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

G06F 13/12

G06F 3/00

G06F 3/08

(21)Application number : 05-170061

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.07.1993

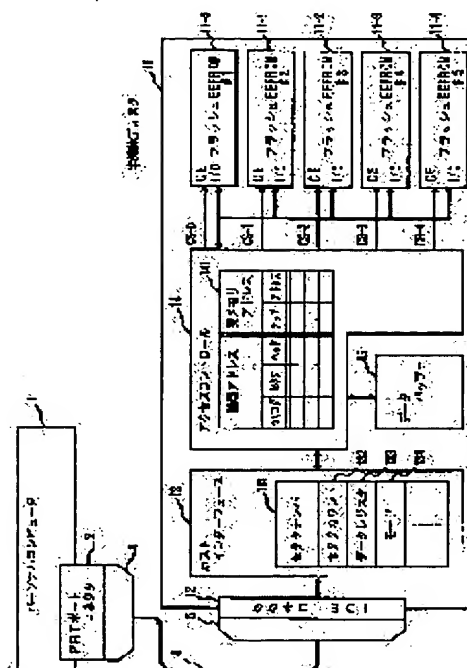
(72)Inventor : SAWAGASHIRA TAKANOBU  
SUKEGAWA HIROSHI  
MAKINO TETSUO

## (54) SEMICONDUCTOR DISK DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor disk device which can be connected to a printer port.

CONSTITUTION: An input pin prepared in a printer port 2 for input of a control signal is used when the data are read out of a semiconductor disk device 10 and sent to a personal computer 1. Under such conditions, the read data of 16 bits which are read out of a flush EEPROM are divided into four pieces according to the number of input pins of the port 2. These divided data are transferred to the input pins of the port 2 every 4 bits. When the data are written into the device 10, eight data output pins of the port 2 are used as they are. Therefore the device 10 can be connected to the port 2 provided on the computer 1 as a standard equipment.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

-----

-

[Claim(s)]

[Claim 1] In RAM disk equipment equipped with two or more flash EEPROMs The disk address supplied from said host equipment through the data output pin prepared in the printer port of host equipment An address translation means to change into the real memory address for accessing said two or more flash EEPROM chips according to address translation information, The memory access means which carries out read/write access of said two or more flash EEPROMs according to the real memory address changed by this address translation means, The data register which holds temporarily the lead data read from said two or more flash EEPROMs by this memory access means, Make the lead data currently held at this data register correspond to the number of the input pins of said printer port, and it divides into two or more data blocks.

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to RAM disk equipment equipped with the flash EEPROM which is the possible nonvolatile memory of package elimination electrically.

[0002]

[Description of the Prior Art] Many of information processors, such as the conventional workstation and a personal computer, used the magnetic disk drive as a store. While a magnetic disk drive has an advantage, like a bit unit price with the high dependability of record is cheap, it has a fault, such as being weak, in a physical impact with the great size of equipment.

[0003] That is, a magnetic disk drive is the principle of operation of writing in data magnetically on a rotation disk, or reading them, by running the magnetic head

on a rotation disk front face. A part for the mechanical moving part called this rotation disk and magnetic head has a possibility that malfunction and failure may naturally occur, by giving a physical impact to equipment. Moreover, needing such mechanical moving part has been the failure which makes size of the whole equipment small.

[0004] For this reason, although it seldom becomes trouble for using a magnetic disk drive by computer of the desktop type used fixing on a desk, in a laptop computer possible [ carrying ] and small or a notebook computer, these faults pose a big problem.

[0005] Then, attentions have gathered for RAM disk equipment strong also against an impact with it in recent years. [ the small size of equipment, and ] [ physical ] The flash EEPROM whose RAM disk equipment is nonvolatile memory in which package elimination is possible electrically is used as secondary storage, such as a personal computer, like the conventional magnetic disk drive etc. Since the amount of mechanical moving part like a magnetic disk drive is not in this RAM disk equipment, it is hard to generate malfunction and failure by the physical impact. Moreover, there is an advantage, like the size as equipment also becomes small.

[0006] Moreover, recently, RAM disk equipment with large memory capacity is also developed, and it is in the inclination for RAM disk equipment to be used not only for a portable computer but for a desktop type personal computer.

[0007] However, since it was not connectable with the personal computer if neither an IDE interface nor a SCSI interface was used, conventional RAM disk equipment needed to prepare the add-in board only for these interfaces. Moreover, even if it is the case where these IDE interfaces and a SCSI interface are already prepared, they also have the case already used for connection of a magnetic disk drive, and may be unable to extend RAM disk equipment in that case.

[0008]

[Problem(s) to be Solved by the Invention] With conventional RAM disk equipment, since it was not connectable with the personal computer if neither an IDE interface nor a SCSI interface was used, there was a fault which must prepare the add-in board only for these interfaces.

[0009] This invention was made in view of such a point, and it enables it to connect it to the printer port of a standard equipment in a personal computer, and it aims at offering RAM disk equipment directly connectable with a personal computer, without preparing the add-in board for an IDE interface or SCSI interfaces.

[0010]

[Means for Solving the Problem and its Function] In the RAM disk equipment with which this invention was equipped with two or more flash EEPROMs The disk address supplied from said host equipment through the data output pin prepared in the printer port of host equipment An address translation means to change into the real memory address for accessing said two or more flash EEPROM chips according to address translation information, The memory access means which carries out read/write access of said two or more flash EEPROMs according to the real memory address changed by this address translation means, The data register which holds temporarily the lead data read from said two or more flash EEPROMs by this memory access means, Make the lead data currently held at this data register correspond to the number of the input pins of said printer port, and it divides into two or more data blocks. The data read-out means which reads said lead data to the input pin for the control signal input of said printer port one by one in said divided data block unit is provided, and it is characterized by being constituted so that it may connect with host equipment through a printer port.

[0011] In this RAM disk equipment, the input pin for the control signal input currently beforehand prepared for the printer port is used at the time of data read-out to host equipment from that RAM disk equipment. In this case, the lead data read from the flash EEPROM are divided into two or more data blocks which have the number of bits corresponding to the number of the input pins of a printer port, respectively, and are transmitted to the input pin of a printer port in that divided data block unit. Moreover, since the data output pin for a parallel-data output is prepared in the printer port, the data output pin is used for data transfer at the time of the data writing to RAM disk equipment. Therefore, the printer port of a standard equipment in a personal computer can be used now, and it becomes possible to connect with a personal computer directly, without preparing the add-in board for an IDE interface or SCSI interfaces.

[0012]

[Example] Hereafter, the example of this invention is explained with reference to a drawing. The configuration of the RAM disk equipment concerning one example of this invention is shown in drawing 1. Although it is used as an alternative of a hard disk drive unit or a floppy disk drive unit, connecting with a personal computer 1 and usually connects with a personal computer 1 through an IDE interface or a SCSI interface, this RAM disk equipment 10 is constituted so that it may also become possible to connect with the printer (PRT) port connector 2 with which the personal computer 1 is equipped standardly like illustration. In this case, RAM disk equipment

10 is connected to the PRT port connector 2 through the interconnection cable 3 of dedication. The interconnection cable 3 has the plug 4 for PRT port connector 2, and the plug 5 for IDE connector 12 of RAM disk equipment 10.

[0013] This RAM disk equipment 10 is equipped with the flash EEPROM 11-0 to 11-4 as a component for data storage. In these flash EEPROMs 11-0 to 11-4, the minimum unit has become settled in the amount of data treated in case writing and elimination are performed, and they are collectively treated by the data for the unit. Here, as an example, a flash EEPROM 11-0 to 11-4 can perform data writing per 256 bytes of page, and assumes the case where it is the block unit whose data elimination unit is 4 K bytes. In this case, as these flash EEPROMs, it is desirable to use the flash EEPROM of a NAND mold.

[0014] Moreover, this RAM disk equipment 10 is equipped with the IDE connector 12, the host interface circuitry 13, the access control circuit 14, and the data buffer 15. The IDE connector 12 is a connector for connecting with the IDE interface of a personal computer 1, and has the pin assignment of 40 pins like the hard disk drive unit connectable with the system bus of a personal computer 1.

[0015] The host interface circuitry 13 performs the communication link with a personal computer 1 through the IDE connector 12. The register group containing the data register 133 of the 132 or 16 bit width of face of sector count registers of the 131 or 8 bit width of face of sector number registers of 8-bit width of face, drive HEDDOMO-DOREJISUTA 134 of 8-bit width of face, etc. is prepared in this host interface circuitry 13. Read/write is possible for these registers by the host CPU of a personal computer 1.

[0016] The light of the sector number is carried out to the sector number register 131 by the host CPU. The light of the number of sectors for read/write is carried out to the sector count register 132 by the host CPU. The lead data outputted to the light data or the host CPU inputted from the host CPU are set to a data register 133. The bit of the PRT flag which shows whether the PRT port connector 2 of a personal computer 1 is used is contained in connection with RAM disk equipment 10, and the PRT flag is set to the mode information set to drive HEDDOMO-DOREJISUTA 134 by the host CPU. A PRT flag is set to "1" by the host CPU when using the PRT port connector 2.

[0017] The access control circuit 14 carries out the access control of the flash EEPROM 11-0 to 11-4 according to the disk-accessing demand supplied from the host CPU through the IDE connector 12 and the host interface circuitry 13. The address translation table 141 is formed in this access controller 14. Correspondence relation

with the real address (a chip number, memory address) for accessing the logical address (determined by the cylinder number, the sector number, and the head number) and the flash EEPROM chip 11-0 to 11-4 from the host CPU is defined as the address translation table 141.

[0018] The access control circuit 14 performs selection of a flash EEPROM 11-0 to 11-4, read/write control of the data to the selected flash EEPROM, etc. according to the conversion result by the address translation table 141. In this case, an access controller 12 supplies chip selection signal CS-0-CS-4 to a flash EEPROM 11-0 to 11-4 alternatively first, in order to choose the flash EEPROM corresponding to the memory chip number outputted from an address translation table 121. Moreover, the access control circuit 14 carries out sequential count-up of the start address so that the memory address outputted from an address translation table 141 may be generated as a start address and read/write actuation of the data for several sector minutes sent from the host CPU may be performed.

[0019] In this case, access of a flash EEPROM is performed by the command method which specifies the mode of operation of a flash EEPROM with a command. That is, first, the access control circuit 14 specifies the modes of operation (a light, a lead, elimination, verification, etc.) of a flash EEPROM, and supplies the address (at the time of a write mode, they are the address and light data) which subsequently shows an access location to a flash EEPROM. 256 bytes of I / O register is prepared in the flash EEPROM. For this reason, since light actuation is performed inside a flash EEPROM, for example in a write mode after light data are transmitted to that register, the access control circuit 14 is released from control of that light access.

[0020] A data buffer 15 holds light data and the read-out data from a flash memory 11-0 to 11-4 which have been sent from the host CPU. An example of the interface in the case of using the PRT connector 2 is shown in drawing 2 .

[0021] The PRT connector 2 has the pin assignment of 25 pins based on a Centronics interface. When connecting RAM disk equipment 10 to this PRT connector 2, the register appointed address from the host CPU, output data (OD0-OD7), and the pin numbers 10-13 are used for the input data (ID0-ID3) to the host CPU, and the pin number 15 is used [ the pin number 1 ] for the input signal to the host CPU for the strobe signal (STROBE) from the host CPU, and the pin numbers 2-9.

[0022] A strobe signal (STROBE) is used like the case where a printer is connected to the PRT connector 2, as a synchronizing signal when transmitting output data (OD0-OD7) to RAM disk equipment 10. Among the pin numbers 2-9, the pin of four high orders of the pin numbers 2-5 is used as an object for the address output for

specifying the register in the host interface circuitry 13, and the pin of four low order of the pin numbers 6-9 is used as an object for the data output from the host CPU. In this case, since the data transfer unit of the specification of IDE is 16 bits, that 16-bit data is divided into 4 times by 4 bitwises, and is transmitted to RAM disk equipment 10 from the host CPU.

[0023] The pin numbers 10-13 are used here as an object for the lead entries of data from RAM disk equipment 10, although it is the pin used as an object for the input of the acknowledgement signal from a printer to the host CPU, a busy signal, a paper and a signal, and a select signal when a printer is connected to the PRT connector 2. In this case, 16-bit lead data are divided into four every 4 bits, and are outputted to the pin numbers 10-13 from RAM disk equipment 10 by 4 bitwises. The signal outputted to the pin number 15 from RAM disk equipment 10 is for notifying that the data which follow the 4-bit lead data under output exist, and is generated at the time of the output of 12 bits of high orders.

[0024] Thus, about the lead data transfer from RAM disk equipment 10 to the host CPU, unlike the case where an IDE interface is used, lead data are quadrisected by 4 bitwises and transmitted to the host CPU from RAM disk equipment 10. Such a division transfer of lead data is controlled by the host interface circuit 13 of RAM disk equipment 10.

[0025] Moreover, also about the light data transfer from the host CPU to RAM disk equipment 10, unlike the case where an IDE interface is used, light data are quadrisected by 4 bitwises and transmitted to the host CPU from RAM disk equipment 10. In this case, a division transfer of light data is controlled by the disk driver program.

[0026] An example of the concrete configuration of the data readout circuitry prepared in the host interface circuitry 13 is shown in drawing 3. In addition to the above-mentioned data register 133 and drive HEDDOMO-DOREJISUTA 134, this data readout circuitry is equipped with the data register change control circuit 50 and the AND gates 501-509.

[0027] According to the PRT flag of drive HEDDOMO-DOREJISUTA 134, motion control of the data register change control circuit 50 is carried out. When RAM disk equipment 10 is connected to PRT flag = "1"2, i.e., a PRT port The four data storage sections (4 bits of a high-order byte's high orders, 4 bits of low order, 4 bits of high orders of a lower byte, 4 bits of low order) of a data register 133 are enabled in order so that the sequence output of the lead data may be carried out by 4 bitwises from a data register 133. On the other hand, when RAM disk equipment 10 is connected to

PRT flag = "0", i.e., the usual IDE interface, the data register change control circuit 50 enables the four data storage sections of a data register 133 to coincidence.

[0028] The AND gates 501-504 connect the 4 bit output of low order of the high-order byte of a data register 133, or a lower byte to the pins P10-P13 corresponding to the above-mentioned pin numbers 10-13 at the time of PRT flag = "1." The AND gates 505-508 forbid that the 4 bit output of low order of the high-order byte of a data register 133 or a lower byte should be outputted to another pins other than pin P10 - P13 at the time of PRT flag = "1", and permit the output of 4 bits of these low order at the time of PRT flag = "0." The AND gate 509 answers the enable signal to the data storage section of three high orders of a data register 133 at the time of PRT flag = "1", and outputs a signal to the pin P15 corresponding to the above-mentioned pin number 15.

[0029] In this host interface circuitry 13, if set to PRT flag = "1" by the host CPU, the four data storage sections of a data register 133 will be made sequence by the data register change control circuit 50 at enabling state. In this case, since the 4 bit output of low order of the high-order byte of a data register 133 is being connected to the same pins P10-P13 as a high-order byte's 4 bit output of high orders by AND Gaea 501-504, a high-order byte's high order 4 bit data and low order 4 beat data are outputted to pins P10-P13 in order. Moreover, since the 4 bit output of low order of the lower byte of a data register 133 is also being connected to the same pins P10-P13 as the 4 bit output of high orders of a lower byte by AND Gaea 501-504, high order 4 bit data of a lower byte and low order 4 beat data are outputted to pins P10-P13 in order. By this, 16 bit data will be outputted in order by 4 bitwises.

[0030] On the other hand, if set to PRT flag = "0" by the host CPU, the four data storage sections of a data register 133 will be set as enabling state by the data register change control circuit 50 at coincidence. In this case, since the AND gates 501-504 are closed, 16 bit data are outputted to coincidence.

[0031] Next, the flow chart of drawing 4 is referred to and actuation of the RAM disk equipment 10 whole at the time of a data readout is explained. When RAM disk equipment 10 is connected to the PRT port connector 2 of a personal computer 1, in a personal computer 1, the predetermined disk truck eve program for using a PRT port for disk accessing is started, and the PRT flag of "1" is set to drive HEDDOMO-DOREJISUTA 134 of RAM disk equipment 10 by the host CPU. Subsequently, parameters, such as a lead command, a sector number, and the number of sectors, are sent to RAM disk equipment 10 from the host CPU, and it is set to the register with which they



correspond, respectively. In this case, parameters, such as these PRT(s) flag, a command, a sector number, and the number of sectors, are sent to RAM disk equipment 10 through the pin numbers 6-9 for output data.

[0032] The access control circuit 14 changes the logical address into a real memory address by the address translation table 141, and performs selection of a flash EEPROM 11-0 to 11-4, and read access to the selected flash EEPROM according to the conversion result. And the data for the data size specified by the host CPU are led, and it holds to a data buffer 15. The sequential transfer of the data held at this data buffer 15 is carried out at a data register 133.

[0033] Subsequently, mode judging processing is performed by the data register change control circuit 50 of the host interface circuitry 13, and it is investigated whether it is PRT mode (steps S11 and S12). It is judged with connecting with the usual IDE interface at the time of PRT flag = "0", the four data storage sections of a data register 133 enable to coincidence, and 16 bits of all are read to coincidence by the personal computer 1 (step S13). Data read-out actuation from this data register 133 is repeatedly performed until lead data disappear from a data buffer 15 (step S14).

[0034] On the other hand, it is judged with connecting with the PRT port connector 2 at the time of PRT flag = "1", and while the data storage section of three high orders of a data register 133 is set as enabling state in order and lead data are first read from pins P10-P13 by 4 bitwises, the signal "1" which shows that the data which follow on a pin P15 exist is outputted (step S15). Subsequently, while the lowest data storage section of a data register 133 is set as enabling state and the last 4 bit data are read from pins P10-P13, the signal currently outputted on the pin P15 is changed to "0" from "1" (step S16). Data read-out actuation by 4 bitwises from such a data register 133 is repeatedly performed until lead data disappear from a data buffer 15 (step S17).

[0035] As mentioned above, in the RAM disk equipment 10 of this example, the input pin for the control signal input currently beforehand prepared for the PRT port connector 2 (P10-P13) is used at the time of data read-out in a personal computer 1 from RAM disk equipment 10. In this case, the lead data read from the flash EEPROM are divided into four per 4 BITTA corresponding to the number of the input pins of the PRT port connector 2, and are transmitted to the input pin (P10-P13) of the PRT port connector 2 by that divided 4-bit data unit. Moreover, four of eight data output pins of the PRT port connector 2 of low order are used at the time of the data writing to RAM disk equipment 10. Therefore, the printer port of a standard equipment in

a personal computer 1 can be used now, and it becomes possible to connect RAM disk equipment 10 to a personal computer 1 directly, without preparing the add-in board for an IDE interface or SCSI interfaces.

[0036] In addition, although eight data output pins 2-9 of the PRT port connector 2 were divided into two here at an address transfer and data transfer, it is also possible to transmit the address and data by time sharing on eight data output pins 2-9. In this case, light data can be transmitted to RAM disk equipment 10 by 8 bitwises from the host CPU.

[0037] Moreover, when RAM disk equipment 10 is based on the interface of 8-bit transfers, such as SCSI, lead data are divided into 2 times by 4 bitwises, it is outputted from RAM disk equipment 10, and, as for light data, it is needless to say that it is sent to RAM disk equipment 10 from the host CPU by 8 bitwises as it is.

[0038]

[Effect of the Invention] As a full account was given above, according to this invention, it becomes possible to connect RAM disk equipment to a personal computer directly, without being able to use now the printer port of a standard equipment in a personal computer, and preparing the add-in board for an IDE interface or SCSI interfaces.

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the configuration of the RAM disk equipment concerning one example of this invention.

[Drawing 2] Drawing showing an example of the interface at the time of connecting the RAM disk equipment of this example to the printer port of a personal computer.

[Drawing 3] The circuit diagram showing an example of the concrete configuration of the host interface circuitry prepared in the RAM disk equipment of this example.

[Drawing 4] The flow chart explaining data lead actuation of the RAM disk equipment of this example.

[Description of Notations]

1 [ -- A flash EEPROM, 12 / -- An IDE connector, 13 / -- A host interface circuitry, 14 / -- An access control circuit, 15 / -- A data buffer, 133 / -- A data register, 134 / -- Drive HEDDOMO-DOREJISUTA, 50 / -- Data register change control circuit. ]  
-- A personal computer, 2 -- A printer port connector, 10 -- RAM disk equipment, 11-0 to 11-4

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-28741

(43) 公開日 平成7年(1995)1月31日

(51) Int. Cl. <sup>6</sup>	識別記号	片内整理番号	P I	技術表示箇所
G 0 6 F 13/12	3 4 0 G	8133-5B		
3/00	A			
3/08	H			

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平5-170061

(22) 出願日 平成5年(1993)7月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 沢頭 孝信

東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内

(72) 発明者 勘川 博

東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内

(72) 発明者 牧野 哲男

東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内

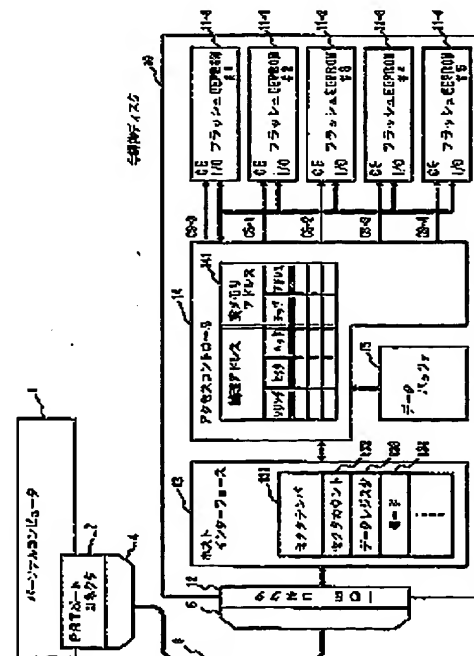
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体ディスク装置

(57) 【要約】

【目的】 プリントポートに接続可能な半導体ディスク装置を実現する。

【構成】 半導体ディスク装置10からパーソナルコンピュータ1へのデータ読み出し時には、プリントポート2に予め用意されている制御信号入力のための入力ピンが利用される。この場合、フラッシュEEPROMから読み出された16ビットのリードデータは、プリントポート2の入力ピンの数に対応して4分割され、その分割された4ビット単位でプリントポート2の入力ピンに転送される。また、半導体ディスク装置10へのデータ書き込み時には、プリントポートの8個のデータ出力ピンがそのまま利用される。したがって、パーソナルコンピュータ1に標準装備のプリントポート2に半導体ディスク装置10を接続することが可能となる。



## 【特許請求の範囲】

【請求項1】 複数のフラッシュEEPROMを備えた半導体ディスク装置において、

ホスト装置のプリンタポートに設けられているデータ出力ピンを介して前記ホスト装置から供給されるディスクアドレスを、アドレス変換情報に従って前記複数のフラッシュEEPROMチップをアクセスするための実メモリアドレスに変換するアドレス変換手段と、

このアドレス変換手段によって変換された実メモリアドレスに従って、前記複数のフラッシュEEPROMをリ

ード/ライトアクセスするメモリアクセス手段と、  
このメモリアクセス手段によって前記複数のフラッシュEEPROMから読み出されたリードデータを一時的に保持するデータレジスタと、

このデータレジスタに保持されているリードデータを前記プリンタポートの入力ピンの数に対応させて複数のデータブロックに分割し、前記リードデータを前記分割されたデータブロック単位で前記プリンタポートの入力ピンへ順次読み出すデータ読み出し手段とを具備し、

プリンタポートを介してホスト装置に接続されるように構成されていることを特徴とする半導体ディスク装置。

【請求項2】 前記データ読み出し手段によって前記プリンタポートの入力ピンに読み出し中のデータブロックに接続するデータブロックが存在するかどうかを示すステータス信号を、前記プリンタポートの他の入力ピンに出力する手段をさらに具備することを特徴とする請求項1記載の半導体ディスク装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、電気的に一括消去の可能な不揮発性メモリであるフラッシュEEPROMを備えた半導体ディスク装置に関する。

## 【0002】

【従来の技術】 従来のワークステーションやパーソナルコンピュータ等の情報処理装置の多くは、記憶装置として磁気ディスク装置を用いていた。磁気ディスク装置は、記録の信頼性が高い、ビット単価が安いなどの利点がある反面、装置のサイズが大きい、物理的な衝撃に弱いなどの欠点を持つ。

【0003】 すなわち、磁気ディスク装置は、磁気ヘッドを回転ディスク表面に走らせることによって、データを回転ディスク上に磁気的に書き込む、あるいはそれを読み出すという動作原理である。この回転ディスクや磁気ヘッドといった機械的な可動部分は、装置に物理的な衝撃が与えられることによって当然誤動作や故障が発生する恐れがある。またそのような機械的可動部を必要とする事が、装置全体のサイズを小さくする障害となっている。

【0004】 このため、磁気ディスク装置は、机上に固定して使用するデスクトップタイプのコンピュータで用

いるにはあまり支障とならないが、持ち運び可能で小型なラップトップコンピュータやノートブックコンピュータにおいては、これらの欠点は大きな問題となる。

【0005】 そこで、近年、装置のサイズが小さく物理的な衝撃にも強い半導体ディスク装置に注目が集まっている。半導体ディスク装置とは、電気的に一括消去が可能な不揮発メモリであるフラッシュEEPROMを、従来の磁気ディスク装置などと同様にパーソナルコンピュータなどの2次記憶装置として用いるものである。この半導体ディスク装置には、磁気ディスク装置のような機械的な可動部分がないため、物理的な衝撃による誤動作や故障は発生しにくい。また、装置としてのサイズも小さくなる等の利点がある。

【0006】 また、最近では、記憶容量の大きい半導体ディスク装置も開発されており、ポータブルコンピュータだけでなく、デスクトップタイプのパーソナルコンピュータにも半導体ディスク装置が利用される傾向にある。

【0007】 しかしながら、従来の半導体ディスク装置は、IDEインターフェースやSCSIインターフェースを利用しなければパーソナルコンピュータに接続する事ができないので、それらインターフェース専用の拡張ボードを用意する必要があった。また、それらIDEインターフェースやSCSIインターフェースが既に用意されている場合であっても、それらは既に磁気ディスク装置の接続に使用されているケースもあり、その場合には半導体ディスク装置を増設できないことがある。

## 【0008】

【発明が解決しようとする課題】 従来の半導体ディスク装置では、IDEインターフェースやSCSIインターフェースを利用しなければパーソナルコンピュータに接続することができないので、それらインターフェース専用の拡張ボードを用意しなければならない欠点があった。

【0009】 この発明はこのような点に鑑みてなされたもので、パーソナルコンピュータに標準装備のプリンタポートに接続できるようにし、IDEインターフェースやSCSIインターフェース用の拡張ボードを用意することなくパーソナルコンピュータに直接的に接続することができる半導体ディスク装置を提供することを目的とする。

## 【0010】

【課題を解決するための手段および作用】 この発明は、複数のフラッシュEEPROMを備えた半導体ディスク装置において、ホスト装置のプリンタポートに設けられているデータ出力ピンを介して前記ホスト装置から供給されるディスクアドレスを、アドレス変換情報に従って前記複数のフラッシュEEPROMチップをアクセスするための実メモリアドレスに変換するアドレス変換手段と、このアドレス変換手段によって変換された実メモリ

アドレスに従って、前記複数のフラッシュEEPROMをリード/ライトアクセスするメモリアクセス手段と、このメモリアクセス手段によって前記複数のフラッシュEEPROMから読み出されたリードデータを一時的に保持するデータレジスタと、このデータレジスタに保持されているリードデータを前記プリンタポートの入力ピンの数に対応させて複数のデータブロックに分割し、前記リードデータを前記分割されたデータブロック単位で前記プリンタポートの制御信号入力のための入力ピンへ

10 順次読み出すデータ読み出し手段とを具備し、プリンタポートを介してホスト装置に接続されるように構成されていることを特徴とする。

【0011】この半導体ディスク装置においては、その半導体ディスク装置からホスト装置へのデータ読み出し時には、プリンタポートに予め用意されている制御信号入力のための入力ピンが利用される。この場合、フラッシュEEPROMから読み出されたリードデータは、プリンタポートの入力ピンの数に対応するビット数をそれぞれ持つ複数のデータブロックに分割され、その分割されたデータブロック単位でプリンタポートの入力ピンに

20 転送される。また、プリンタポートにはパラレルデータ出力のためのデータ出力ピンが設けられているので、半導体ディスク装置へのデータ書き込み時においてはそのデータ出力ピンがデータ転送に利用される。したがって、パーソナルコンピュータに標準装備のプリンタポートを利用できるようになり、IDEインターフェースやSCSIインターフェース用の拡張ボードを用意することなくパーソナルコンピュータに直接的に接続することが可能となる。

【0012】

【実施例】以下、図面を参照してこの発明の実施例を説明する。図1にはこの発明の一実施例に係わる半導体ディスク装置の構成が示されている。この半導体ディスク装置10は、ハードディスク装置やフロッピーディスク装置の代替としてパーソナルコンピュータ1に接続されて使用されるものであり、通常は、IDEインターフェースまたはSCSIインターフェースを介してパーソナルコンピュータ1に接続されるが、図示のように、パーソナルコンピュータ1に標準装備されているプリンタ

40 (PRT)ポートコネクタ2に接続することも可能となるように構成されている。この場合、半導体ディスク装置10は、専用の接続ケーブル3を介してPRTポートコネクタ2に接続される。接続ケーブル3は、PRTポートコネクタ2用のプラグ4と、半導体ディスク装置10のIDEコネクタ12用のプラグ5を有している。

【0013】この半導体ディスク装置10は、データ記憶用素子としてフラッシュEEPROM11-0~11-4を備えている。これらフラッシュEEPROM11-0~11-4においては、書き込みや消去を行う際に扱うデータ量に最低単位が定まっており、その単位分の

データが一括して扱われる。ここでは、一例として、フラッシュEEPROM11-0~11-4は、256バイトのページ単位でデータ書き込みを行なえ、データ消去単位が4Kバイトのブロック単位である場合を想定する。この場合、これらフラッシュEEPROMとしては、NAND型のフラッシュEEPROMを使用することが好ましい。

【0014】また、この半導体ディスク装置10は、IDEコネクタ12、ホストインターフェース回路13、アクセスコントロール回路14、およびデータバッファ15を備えている。IDEコネクタ12は、パーソナルコンピュータ1のIDEインターフェースに接続するためのコネクタであり、パーソナルコンピュータ1のシステムバスに接続可能なハードディスク装置と同様に40ピンのピン配置を有している。

【0015】ホストインターフェース回路13は、IDEコネクタ12を介してパーソナルコンピュータ1との通信を行う。このホストインターフェース回路13には、8ビット幅のセクタナンバレジスタ131、8ビット幅のセクタカウントレジスタ132、16ビット幅のデータレジスタ133、および8ビット幅のドライブヘッドモードレジスタ134などを含むレジスタ群が設けられている。これらレジスタは、パーソナルコンピュータ1のホストCPUによってリード/ライト可能である。

【0016】セクタナンバレジスタ131には、ホストCPUによってセクタ番号がライトされる。セクタカウントレジスタ132には、リード/ライト対象のセクタ数がホストCPUによってライトされる。データレジスタ133には、ホストCPUから入力されるライトデータまたはホストCPUに出力されるリードデータが設定される。ドライブヘッドモードレジスタ134にセットされるモード情報には、半導体ディスク装置10との接続にパーソナルコンピュータ1のPRTポートコネクタ2を利用するか否かを示すPRTフラグのビットが含まれており、そのPRTフラグはホストCPUによってセットされる。PRTポートコネクタ2を利用する場合には、PRTフラグはホストCPUによって「1」にセットされる。

【0017】アクセスコントロール回路14は、IDEコネクタ12およびホストインターフェース回路13を介してホストCPUから供給されるディスクアクセス要求に応じて、フラッシュEEPROM11-0~11-4をアクセス制御する。このアクセスコントロール14には、アドレス変換テーブル141が設けられている。アドレス変換テーブル141には、ホストCPUからの論理アドレス(シリンダ番号、セクタ番号、ヘッド番号によって決定される)とフラッシュEEPROMチップ11-0~11-4をアクセスするための実アドレス(チップ番号、メモリアドレス)との対応関係が定義さ

れている。

【0018】アクセスコントロール回路14は、アドレス変換テーブル141による変換結果にしたがってフラッシュEEPROM11-0~11-4の選択、およびその選択したフラッシュEEPROMに対するデータのリード/ライト制御等を行なう。この場合、アクセスコントローラ12は、アドレス変換テーブル121から出力されるメモリチップ番号に対応するフラッシュEEPROMを選択するために、まず、フラッシュEEPROM11-0~11-4にチップ選択信号CS-0~CS-4を選択的に供給する。また、アクセスコントロール回路14は、アドレス変換テーブル141から出力されるメモリアドレスを先頭アドレスとして発生し、そしてホストCPUから送られてきたセクタ数分のデータのリード/ライト動作が実行されるように、その先頭アドレスを順次カウントアップする。

【0019】この場合、フラッシュEEPROMのアクセスは、フラッシュEEPROMの動作モードをコマンドによって指定するコマンド方式で行われる。すなわち、アクセスコントロール回路14は、まず、フラッシュEEPROMの動作モード（ライト、リード、消去、ベリファイ等）を指定し、次いでアクセス位置を示すアドレス（ライトモードの場合は、アドレスおよびライトデータ）をフラッシュEEPROMに供給する。フラッシュEEPROMには、例えば256バイトの入出力レジスタが設けられている。このため、例えばライトモードにおいては、そのレジスタにライトデータが転送された後は、フラッシュEEPROM内部でライト動作が実行されるので、アクセスコントロール回路14はそのライトアクセスの制御から解放される。

【0020】データバッファ15は、ホストCPUから送られてきたライトデータやフラッシュメモリ11-0~11-4からの読み出しデータを保持する。図2には、PRTコネクタ2を利用する場合のインターフェースの一例が示されている。

【0021】PRTコネクタ2は、セントロニクス仕様に準拠した25ピンのピン配置を有している。このPRTコネクタ2に半導体ディスク装置10を接続する場合には、ピン番号1がホストCPUからのストロブ信号（STROBE）、ピン番号2~9がホストCPUからのレジスタ指定アドレスや出力データ（OD0~OD7）、ピン番号10~13がホストCPUへの入力データ（ID0~ID3）、ピン番号15がホストCPUへの入力信号に利用される。

【0022】ストロブ信号（STROBE）は、PRTコネクタ2にプリンタを接続した場合と同様に、出力データ（OD0~OD7）を半導体ディスク装置10に送信するときの同期信号として使用される。ピン番号2~9のうちで、ピン番号2~5の上位4本のピンはホストインターフェース回路13内のレジスタを指定するた

めのアドレス出力用として利用され、ピン番号6~9の下位4本のピンはホストCPUからのデータ出力用として利用される。この場合、IDEの仕様のデータ転送単位は16ビットであるので、その16ビットのデータは4ビット単位で4回に分割されてホストCPUから半導体ディスク装置10へ転送される。

【0023】ピン番号10~13は、PRTコネクタ2にプリンタを接続した場合にはプリンタからホストCPUへのアクノリッジ信号、ビジー信号、ペーパーエンド信号、セレクト信号の入力用として利用されるピンであるが、ここでは、半導体ディスク装置10からのリードデータの入力用として利用される。この場合、16ビットのリードデータは4ビット毎に4つに分割され、4ビット単位で半導体ディスク装置10からピン番号10~13に出力される。半導体ディスク装置10からピン番号15に出力される信号は、出力中の4ビットのリードデータに後続するデータが存在することを通知するためのものであり、上位12ビットの出力時に発生される。

【0024】このように、半導体ディスク装置10からホストCPUへのリードデータの転送については、IDEインターフェースを利用した場合と異なり、リードデータは4ビット単位で4分割されて半導体ディスク装置10からホストCPUへ送信される。このようなリードデータの分割転送は、半導体ディスク装置10のホストインターフェース回路13によって制御される。

【0025】また、ホストCPUから半導体ディスク装置10へのライトデータの転送についても、IDEインターフェースを利用した場合と異なり、ライトデータは4ビット単位で4分割されて半導体ディスク装置10からホストCPUへ送信される。この場合、ライトデータの分割転送は、ディスクドライバプログラムによって制御される。

【0026】図3には、ホストインターフェース回路13に設けられたデータ読み出し回路の具体的な構成の一例が示されている。このデータ読み出し回路は、前述のデータレジスタ133、ドライブヘッドモードレジスタ134に加え、データレジスタ切り替え制御回路50、ANDゲート501~509を備えている。

【0027】データレジスタ切り替え制御回路50は、ドライブヘッドモードレジスタ134のPRTフラグに応じて動作制御され、PRTフラグ="1"すなわちPRTポート2に半導体ディスク装置10が接続されている場合には、データレジスタ133からリードデータが4ビット単位で順番出力されるように、データレジスタ133の4個のデータ記憶部（上位バイトの上位4ビット、下位4ビット、下位バイトの上位4ビット、下位4ビット）を順番にイネーブルにする。一方、PRTフラグ="0"すなわち通常のIDEインターフェースに半導体ディスク装置10が接続されている場合には、データレジスタ切り替え制御回路50は、データレジスタ1

10

20

30

40

50

33の4個のデータ記憶部を同時にイネーブルにする。  
 【0028】ANDゲート501~504は、PRTフラグ=“1”の時に、データレジスタ133の上位バイトまたは下位バイトの下位4ビット出力を前述のピン番号10~13に対応するピンP10~P13に接続する。ANDゲート505~508は、PRTフラグ=“1”の時に、データレジスタ133の上位バイトまたは下位バイトの下位4ビット出力がピンP10~P13以外の別のピンに出力されるのを禁止し、またPRTフラグ=“0”の時はそれら下位4ビットの出力を許可す

る。ANDゲート509は、PRTフラグ=“1”の時にデータレジスタ133の上位3個のデータ記憶部へのイネーブル信号に応答して信号を前述のピン番号15に対応するピンP15に出力する。  
 【0029】このホストインターフェース回路13においては、ホストCPUによってPRTフラグ=“1”にセットされると、データレジスタ133の4個のデータ記憶部はデータレジスタ切り替え制御回路50によって順番にイネーブル状態にされる。この場合、データレジスタ133の上位バイトの下位4ビット出力はANDゲート501~504によって上位バイトの上位4ビット出力と同じピンP10~P13に接続されているので、ピンP10~P13には、上位バイトの上位4ビットデータと下位4ビットデータが順番に出力される。また、データレジスタ133の下位バイトの下位4ビット出力もANDゲート501~504によって下位バイトの上位4ビット出力と同じピンP10~P13に接続されているので、ピンP10~P13には、下位バイトの上位4ビットデータと下位4ビットデータが順番に出力される。これにより、16ビットデータが4ビット単位で順番に出力されることになる。

【0030】一方、ホストCPUによってPRTフラグ=“0”にセットされると、データレジスタ133の4個のデータ記憶部はデータレジスタ切り替え制御回路50によって同時にイネーブル状態に設定される。この場合、ANDゲート501~504は閉じているので、16ビットデータが同時に出力される。

【0031】次に、図4のフローチャートを参照して、データ読みだし時における半導体ディスク装置10全体の動作を説明する。パーソナルコンピュータ1のPRTポートコネクタ2に半導体ディスク装置10を接続した場合には、パーソナルコンピュータ1ではPRTポートをディスクアクセスに使用するための所定のディスクドライバプログラムが起動され、ホストCPUによって“1”のPRTフラグが半導体ディスク装置10のドライブヘッドモードレジスタ134にセットされる。次いで、リードコマンド、セクタ番号、セクタ数等のパラメータがホストCPUから半導体ディスク装置10に送られ、それらに対応するレジスタにそれぞれセットされる。この場合、それらPRTフラグ、コマンド、セクタ

番号、セクタ数等のパラメータは出力データ用のピン番号6~9を介して半導体ディスク装置10に送られる。

【0032】アクセスコントロール回路14は、アドレス変換テーブル141によって論理アドレスを実メモリアドレスに変換し、その変換結果にしたがってフラッシュEEPROM11-0~11-4の選択、およびその選択したフラッシュEEPROMに対するリードアクセスを行う。そしてホストCPUによって指定されたデータサイズ分のデータをリードして、データバッファ15に保持する。このデータバッファ15に保持されたデータはデータレジスタ133に順次転送される。

【0033】次いで、ホストインターフェース回路13のデータレジスタ切り替え制御回路50によってモード判定処理が行われ、PRTモードか否かが調べられる(ステップS11、S12)。PRTフラグ=“0”の時は、通常のIDEインターフェースに接続されていると判定され、データレジスタ133の4個のデータ記憶部が同時にイネーブルにされ、16ビットすべてが同時にパーソナルコンピュータ1に読み出される(ステップS13)。このデータレジスタ133からのデータ読み出し動作は、データバッファ15からリードデータが無くなるまで繰り返し行われる(ステップS14)。

【0034】一方、PRTフラグ=“1”の時は、PRTポートコネクタ2に接続されていると判定され、まず、データレジスタ133の上位3個のデータ記憶部が順番にイネーブル状態に設定されて4ビット単位でリードデータがピンP10~P13から読み出されると共に、ピンP15上に後続するデータが存在することを示す信号“1”が出力される(ステップS15)。次いで、データレジスタ133の最下位のデータ記憶部がイネーブル状態に設定されて最後の4ビットデータがピンP10~P13から読み出されると共に、ピンP15上に出力されていた信号が“1”から“0”に切り替えられる(ステップS16)。このようなデータレジスタ133からの4ビット単位でのデータ読み出し動作は、データバッファ15からリードデータが無くなるまで繰り返し行われる(ステップS17)。

【0035】以上のように、この実施例の半導体ディスク装置10においては、半導体ディスク装置10からパーソナルコンピュータ1へのデータ読み出し時には、PRTポートコネクタ2に予め用意されている制御信号入力のための入力ピン(P10~P13)が利用される。この場合、フラッシュEEPROMから読み出されたリードデータは、PRTポートコネクタ2の入力ピンの数に対応して4ビット単位で4つに分割され、その分割された4ビットのデータ単位でPRTポートコネクタ2の入力ピン(P10~P13)に転送される。また、半導体ディスク装置10へのデータ書き込み時においては、PRTポートコネクタ2の8個のデータ出力ピンのうち、下位の4つが利用される。したがって、パーソナル

コンピュータ1に標準装備のプリンタポートを利用できるように、IDEインターフェースやSCSIインターフェース用の拡張ボードを用意することなく半導体ディスク装置10をパーソナルコンピュータ1に直接的に接続することが可能となる。

【0036】なお、ここではPRTポートコネクタ2の8個のデータ出力ピン2～9をアドレス転送とデータ転送に2分割したが、8個のデータ出力ピン2～9上にアドレスとデータを時分割で転送することも可能である。この場合には、ホストCPUから半導体ディスク装置10に8ビット単位でライトデータを転送することができる。

【0037】また、半導体ディスク装置10がSCSIなどの8ビット転送のインターフェースに準拠したものである場合には、リードデータは4ビット単位で2回に分割されて半導体ディスク装置10から出力され、ライトデータはそのまま8ビット単位でホストCPUから半導体ディスク装置10に送られることはもちろんである。

【0038】

【発明の効果】以上詳記したように、この発明によれば、パーソナルコンピュータに標準装備のプリンタポートを利用できるようになり、IDEインターフェースや\*

\*SCSIインターフェース用の拡張ボードを用意することなくパーソナルコンピュータに半導体ディスク装置を直接的に接続することが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体ディスク装置の構成を示すブロック図。

【図2】同実施例の半導体ディスク装置をパーソナルコンピュータのプリンタポートに接続した場合のインターフェースの一例を示す図。

【図3】同実施例の半導体ディスク装置に設けられているホストインターフェース回路の具体的構成の一例を示す回路図。

【図4】同実施例の半導体ディスク装置のデータリード動作を説明するフローチャート。

【符号の説明】

1…パーソナルコンピュータ、2…プリンタポートコネクタ、10…半導体ディスク装置、11-0～11-4…フラッシュEEPROM、12…IDEコネクタ、13…ホストインターフェース回路、14…アクセスコントロール回路、15…データバッファ、133…データレジスタ、134…ドライブヘッドモードレジスタ、50…データレジスタ切り替え制御回路。

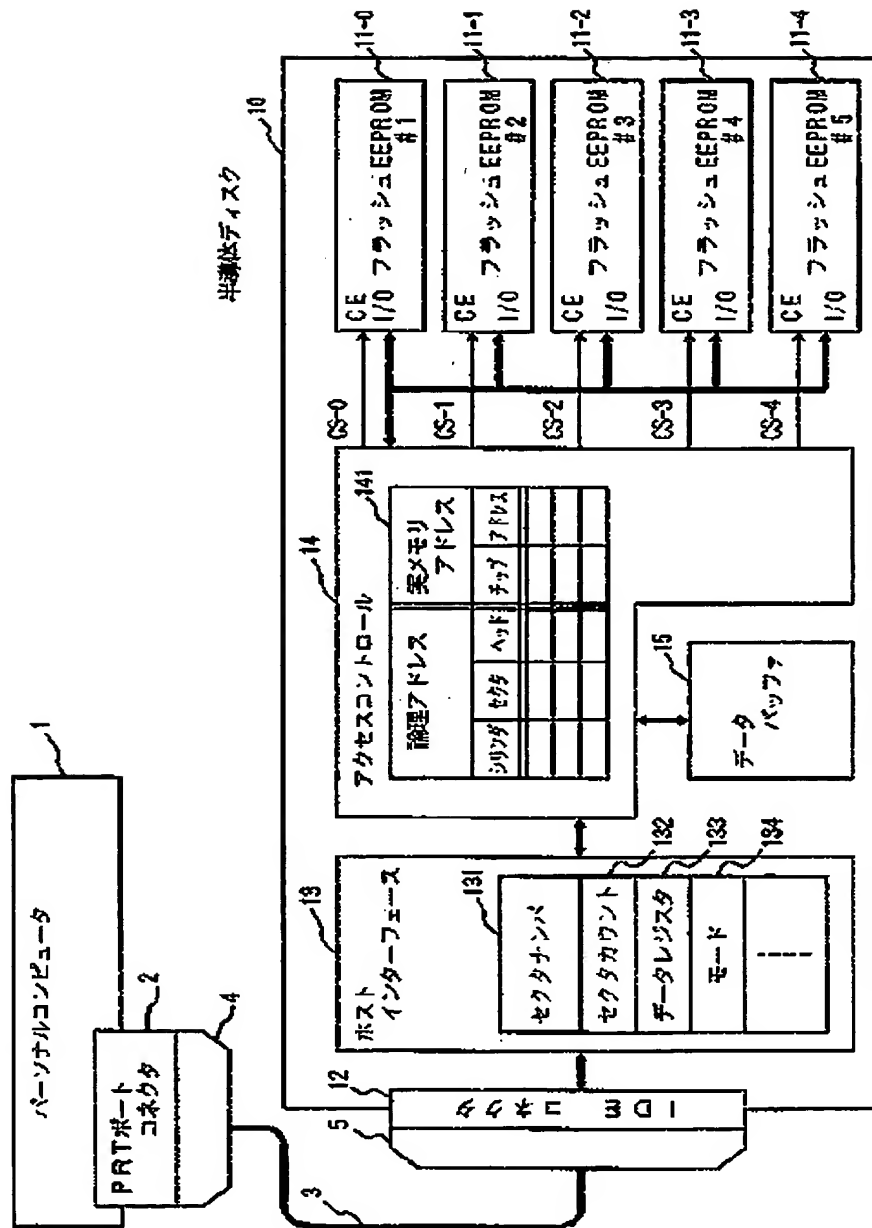
【図2】

## インターフェース

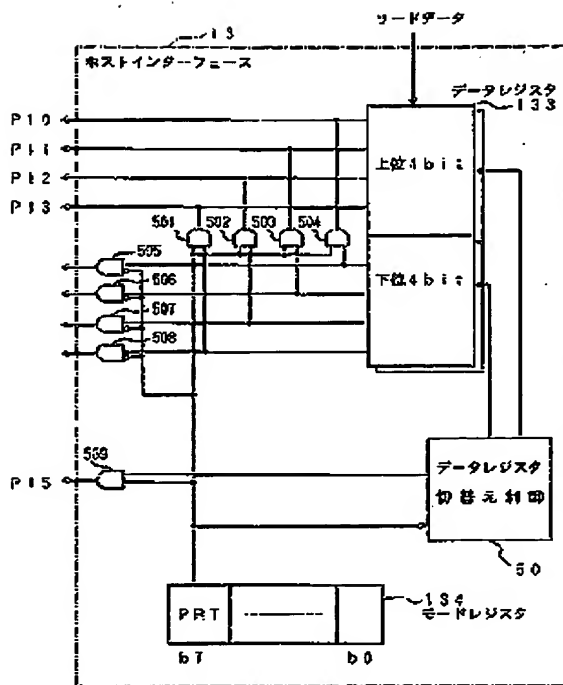
ピン番号	信号名	意味	I/O
1	STORBE	D0～D7のデータを書き込むため同期用出力信号	O
2～9	OD0～OD7	データの0ビット目から7ビット目の情報を送信する出力信号	O
10～13	ID0～ID3	データの8ビット中の4ビットの情報を受信する入力信号	I
14	未使用		
15		受信データの4ビットの続きがある状態を示す入力信号	I
16～17	未使用		
18～25	GND		



【図1】



【図3】



【図4】

